

Japan s Publication for Utility Model Application

No. 8055/1990 (Jitsukaihei 2-8055)

A. Relevance of the above-identified Document

This document has relevance to claims 1 through 11 of the present application.

B. Translation of the Relevant Passages of the Document

[CLAIMS]

A thin film photosenser which includes a sensor thin film transistor and a switching thin film transistor both of which are formed on a surface of a substrate, a drain electrode of said sensor thin film transistor and a source electrode of said switching thin film transistor being connected with each other via a connecting electrode which is integrated with both the drain and source electrodes, a drain of said sensor thin film transistor being connected with a capacitor, comprising:

a capacitor electrode which faces said connecting electrode,

said capacitor electrode being integrated with a gate electrode of said sensor thin film transistor,

the gate electrode and a source electrode of said sensor thin film transistor being connected with each other.

[DETAILED DESCRIPTION OF THE UTILITY MODEL]

[EMBODIMENTS]

This image sensor is driven in the following manner. First, for initialization, the reset transistor 21, the data line selecting transistor 20, and the switching transistors T_2 of all the optical sensors are turned on so as to charge up the capacitors C of all the optical sensors to respectively have a power supply voltage V_{DD} . Next, a photo shutter (not shown) provided on an incident surface side of the image sensor is opened for carrying out imaging. Here, when the sensor transistor T_1 of the photosensor receives light, a photocurrent in accordance with the intensity of light flows the sensor transistor T_1 so as to discharge the capacitor C . Then, when the photo shutter is shut, the capacitor C stops discharging. Next, by sequentially selecting the address lines AL_1, AL_2, \dots , and the data lines DL_1, DL_2, \dots , so as to sequentially turn on the switching transistors T_2 of the respective photosensors, data signals corresponding to inter-terminal voltages of the capacitors C of the respective photosensors are read out to a data output line OUT via the data line selecting transistor 20. The data signals are then amplified by a CMOS amplifier, etc., so as to be output.

[DRAWINGS]

[FIG. 1]

T₂: switching thin film transistor

15: connecting electrode

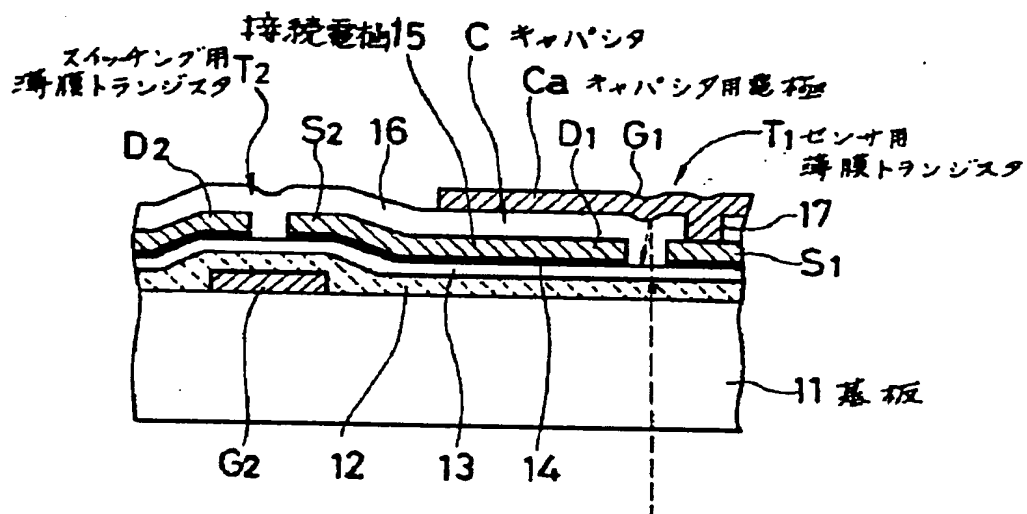
C: capacitor

Ca: capacitor electrode

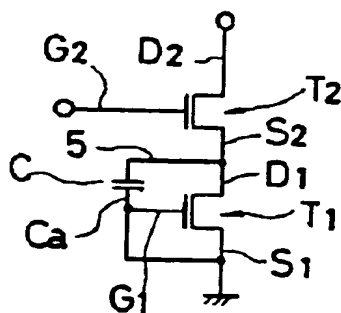
T₁: sensor thin film transistor

11: substrate

[FIG. 2]



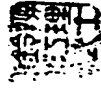
第 1 図



第 2 図

582

出 願 人 カシオ計算機株式会社
代 理 人 鈴 江 武 彦



④日本国特許(JP) ④実用新案出願公開
④公開実用新案公報(U) 平2-8055

④Int. Cl.¹ 27/146
H 01 L 27/01
31/10
識別記号 片内整理番号 ④公開 平成2年(1990)1月18日
7514-5F
7377-5F H 01 L 27/14
7733-5F 31/10 C E

審査請求 未請求 請求項の数 1 (全頁)

考案の名称 薄膜光センサ

④実 昭63-82893
④出 願 昭63(1988)6月24日
④考 案 者 神 原 実 東京都八王子市石川町2951番地の5 カシオ計算機株式会社
④出 願 人 カシオ計算機株式会社 社八王子研究所内
④代 理 人 弁護士 鈴木 武彦 外2名 東京都新宿区西新宿2丁目8番1号

明 細 書

1. 考案の名称

薄膜光センサ

2. 実用新案登録請求の範囲

基板面にセンサ用薄膜トランジスタとスイッチング用薄膜トランジスタとを形成するとともに、前記センサ用薄膜トランジスタのドレイン電極と前記スイッチング用薄膜トランジスタのソース電極とをこの両電極と一体の接続電極を介して接続し、かつ前記センサ用薄膜トランジスタのドレインにキャパシタを接続した薄膜光センサにおいて、前記接続電極と対向させてキャパシタ用電極を配置し、このキャパシタ用電極を前記センサ用薄膜トランジスタのゲート電極と一体の電極とするとともに、前記センサ用薄膜トランジスタのゲート電極とソース電極とを接合したことを特徴とする薄膜光センサ。

3. 考案の詳細な説明

(産業上の利用分野)

本考案は薄膜光センサに関するものである。

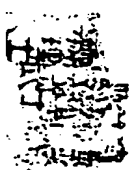


(従来の技術)

最近、イメージセンサ等を構成する光センサとして、薄膜トランジスタを用いた薄膜光センサが開発されている。

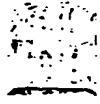
第5図および第6図はそれぞれ従来の薄膜光センサを示している。

まず、第5図の薄膜光センサについて説明すると、図中1は透明基板(ガラス基板)、 T_1 は光を受けて動作するセンサ用薄膜トランジスタ(以下センサトランジスタという)、 T_2 は光センサの選択動作を行なうスイッチング用薄膜トランジスタ(以下スイッチングトランジスタという)であり、この両トランジスタ T_1 、 T_2 はいずれも逆スタガー構造のものとされている。この光センサは、基板1面にセンサトランジスタ T_1 、およびスイッチングトランジスタ T_2 のゲート電極 G_1 、 G_2 とキャパシタ用電極 C_a を形成し、その上にゲート絶縁膜2と1- α -Si半導体層3を積層形成するとともに、この半導体層3の上に n^+ - α -Siコンタクト層4を介して、センサトラン



ジスタ T_1 のソース、ドレイン電極 S_1 、 D_1 と、スイッチングトランジスタ T_2 のソース、ドレイン電極 S_2 、 D_2 とを形成したもので、センサトランジスタ T_1 のドレイン電極 D_1 とスイッチングトランジスタ T_2 のソース電極 D_2 とは、この両電極 D_1 、 S_2 と一体の接続電極5を介して接続されている。また、この接続電極5は、ゲート絶縁膜2および半導体層3を介して前記キャパシタ用電極 C_a と対向しており、この接続電極5とキャパシタ用電極 C_a との間は、電荷を充放電するキャパシタ C とされている。6は上記トランジスタ T_1 、 T_2 の上に形成された透明絶縁膜である。また、7はセンサトランジスタ T_1 の側部に形成されたスリット状の光取入れ開口であり、透明基板1を透過して入射する光は、破線で示すように上記開口7から取入れられ、透明絶縁膜6上に形成した反射膜8で反射されて、センサトランジスタ T_1 のチャネル部(半導体層3)に入射するようになってい

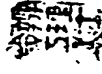
る。また、第6図に示した薄膜光センサは、第5図



の薄膜光センサにおける光取入れ開口7と反射膜8とをなくして、透明導電膜6面側から光を受けるようにしたもので、センサトランジスタ T_1 およびスイッチングトランジスタ T_2 とキャパシタCは、第5図の薄膜光センサと同一の構成となっている。なお、この薄膜光センサは透明導電膜6面側から光を受けるものであるために、基板1は透明でなくともよい。また、この薄膜光センサでは、透明導電膜6面側から入射する光がスイッチングトランジスタ T_2 のチャネル部に入射してこのスイッチングトランジスタ T_2 を誤動作させるのを防ぐために、透明導電膜6面に、スイッチングトランジスタ T_2 のチャネル部に対向させて遮光膜9を形成している。

第7図は第5図および第6図に示した薄膜光センサの等価回路を示している。

この薄膜光センサは、センサトランジスタ T_1 が受光する光の強度に応じたデータ信号をスイッチングトランジスタ T_2 のドレイン電極 D_2 から出力するもので、接点電極5とキャパシタ用電極



Caとの間に構成したキャパシタCに電荷をチャージし、光センサの入射面側に配置した光シャッタ（図示せず）を開いて入射光をセンサトランジスタ T_1 に受光させると、このセンサトランジスタ T_1 に光強度に応じた光電流が流れてキャパシタCが放電し、次いで光シャッタを閉じるとキャパシタCの放電が停止する。このキャパシタCの端子間電圧は、スイッチングトランジスタ T_2 をオンさせることによって、このスイッチングトランジスタ T_2 のドレイン電極 D_2 からデータ信号として読み出される。

〔考察が解決しようとする課題〕

しかしながら、上記第5図および第6図に示した従来の薄膜光センサは、第7図のような等価回路を構成するものであるために、センサトランジスタ T_1 のゲート電極 G_1 とソース電極 S_1 の各端子と、スイッチングトランジスタ T_2 のゲート電極 G_2 とドレイン電極 D_2 の各端子と、およびキャパシタ用電極Caの端子との5つの端子の電圧を制御する必要がある、したがって駆動が煩雑



であるという問題をもっていた。

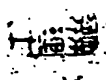
本考案は上記のような実情にかんがみてなされたものであって、その目的とするところは、端子数を少なくして駆動を容易にした薄膜光センサを提供することにある。

〔問題を解決するための手段〕

本考案は上記目的を達成するために、センサ用薄膜トランジスタのドレイン電極とスイッチング用薄膜トランジスタのソース電極との接続電極と対向してキャパシタを構成するキャパシタ用電極をセンサ用薄膜トランジスタのゲート電極と一体の電極とするとともに、センサ用薄膜トランジスタのゲート電極とソース電極とを接合したものである。

〔作用〕

すなわち、本考案の薄膜光センサは、キャパシタ用電極をセンサ用薄膜トランジスタのゲート電極と一体の電極とするとともにセンサ用薄膜トランジスタのゲート電極とソース電極とを接合することによって、キャパシタの一方の端子とセンサ

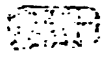


用薄膜トランジスタのゲート電極およびソース電極の端子を1つに共通接続したものであり、このようにすれば、光センサの端子数を、上記端子と、スイッチング用薄膜トランジスタのゲート電極およびドレイン電極の各端子との3つだけにすることができ、本考案の薄膜光センサによれば、端子数を少なくして駆動を容易にすることができる。

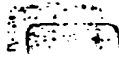
〔実施例〕

以下、本考案の薄膜光トランジスタについてその一実施例を第1図および第2図を参照し説明する。

第1図は薄膜光トランジスタの断面を示したもので、図中11は透明基板（ガラス基板）、T₁はセンサ用薄膜トランジスタ（以下センサトランジスタという）、T₂はスイッチング用薄膜トランジスタ（以下スイッチングトランジスタという）であり、センサトランジスタT₁はコプラナー構造とされ、スイッチングトランジスタT₂は逆スタガー構造とされている。この光センサは、基板



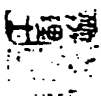
11面にスイッチングトランジスタ T_2 のゲート電極 G_2 を形成し、その上にセンサトランジスタ T_1 およびスイッチングトランジスタ T_2 の形成領域全体にわたって透明なゲート絶縁膜12と $i-a-Si$ 半導体層13とを積層形成するとともに、この半導体層13の上に $n+a-Si$ コンタクト層14を介して、センサトランジスタ T_1 のソース、ドレイン電極 S_1 、 D_1 と、スイッチングトランジスタ T_2 のソース、ドレイン電極 S_2 、 D_2 とを形成し、さらにその上に透明絶縁膜16を形成して、この透明絶縁膜16の上に、センサトランジスタ T_1 のゲート電極 G_1 を形成したもので、センサトランジスタ T_1 のドレイン電極 D_1 と選択トランジスタ T_2 のソース電極 D_2 とは、この両電極 D_1 、 S_2 と一体の接続電極15を介して接続されている。また、上記センサトランジスタ T_1 のゲート電極 G_1 は、前記接続電極15の上方にこの接続電極15と所定の重なり長さをもって対向するように延長させて形成されており、このゲート電極 G_1 延長部は、透明



絶縁膜16を介して接続電極15と対向してこの接続電極15との間にキャパシタCを構成するキャパシタ用電極Caとされている。さらに、センサトランジスタ T_1 のゲート電極 G_1 は、上記透明絶縁膜16に設けたコンタクト孔117においてセンサトランジスタ T_1 のソース電極 S_1 に接続され、このソース電極 S_1 と導通接続されている。

この薄膜光センサは、センサトランジスタ T_1 が受光する光の強度に応じたデータ信号をスイッチングトランジスタ T_2 のドレイン電極 D_2 から読み出すもので、基板11側から第1図に破線で示すように入射する光は、透明ゲート電極12を透過してセンサトランジスタ T_1 のチャネル部（半導体層13）に入射し、またこのチャネル部を通過した光は、透明絶縁膜16を通過してゲート電極 G_1 で反射され、再びチャネル部に入射する。

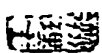
しかして、上記薄膜光センサにおいては、キャパシタ用電極Caをセンサトランジスタ T_1 のゲート電極 G_1 と一体の電極とするとともに、セン



サトランジスタ T_1 のゲート電極 G_1 をソース電極 S_1 に接続しているから、キャパシタ C の一方の端子とサトランジスタ T_1 のゲート電極 G_1 およびソース電極 S_1 の端子を、1つの端子に共通接続することができる。

第2図は上記薄膜光センサの選通回路を示したもので、この光センサの端子数は、キャパシタ C の一方の端子とサトランジスタ T_1 のゲート電極 G_1 およびソース電極 S_1 の端子を共通接続した1つの端子（接地端子）と、スイッチングトランジスタ T_2 のゲート電極 G_2 およびドレイン電極 D_2 の各端子との3つだけである。したがって、上記薄膜光センサによれば、その端子数を少なくして駆動を容易にすることができる。

すなわち、第3図は上記薄膜光センサを縦横に配列したイメージセンサの回路を示したもので、上記薄膜光センサはその端子が3つだけであるから、キャパシタ C の一方の端子とサトランジスタ T_1 のゲート電極 G_1 およびソース電極 S_1 の端子を共通接続した端子を接地ライン（図示せ



ず)に接続し、スイッチングトランジスタ T_2 のゲート電極 G_2 をアブレスライン AL_1 、 AL_2 ...に接続し、スイッチングトランジスタ T_2 のドレイン電極 D_2 をデータライン DL_1 、 DL_2 ...に接続するだけでイメージセンサを構成することができる。なお、上記接地ラインは、サトランジスタ T_1 のソース電極 S_1 と一体に形成され、アブレスライン AL_1 、 AL_2 ...およびデータライン DL_1 、 DL_2 ...は、それぞれスイッチングトランジスタ T_2 のゲート電極 G_2 およびドレイン電極 D_2 と一体に形成されている。また、各データライン DL_1 、 DL_2 ...はそれぞれ、データライン選択トランジスタ 20 を介してデータライン選択トランジスタ 20 は、データ選択ライン DS_1 、 DS_2 ...からのデータライン選択信号によってスイッチング動作する。また、第3図において、 21 はリセットトランジスタであり、このリセットトランジスタ 21 およびデータライン選択トランジスタ 20 もそれぞれ薄膜トランジス

タとされている。

このイメージセンサは次のようにして駆動される。まず、初期化として、リセットトランジスタ 21 とデータライン選択トランジスタ 20 および全ての光センサのスイッチングトランジスタ T_2 をオンさせ、全ての光センサのキャパシタ C を電源電圧 V_{DD} までチャージアップさせる。次に、イメージセンサの入射面側に配置した光シヤッタ（図示せず）を開いて撮像する。このとき、光センサのセンサトランジスタ T_1 が受光すると、このセンサトランジスタ T_1 に光強度に応じた光電流が流れてキャパシタ C が放電し、次いで光シヤッタを閉じるとキャパシタ C の放電が停止する。次に、アドレスライン AL_1, AL_2, \dots とデータライン DL_1, DL_2, \dots を順次選択して各光センサのスイッチングトランジスタ T_2 を順次オンさせると、各光センサのキャパシタ C の端子間電圧に応じたデータ信号が、データライン選択トランジスタ 20 を介してデータ出力ライン OUT に読み出され、CMOS アンプ等により増幅されて出

力される。なお、第 3 図には光センサを縦横に配列したエリアイメージセンサを示したが、上記薄膜光センサを 1 列に配列すれば、ラインイメージセンサを構成することができる。

このように、上記薄膜光センサは、その端子数が少ないから、その駆動は容易である。しかも、上記実施例では、センサトランジスタ T_1 をコプラナー構造とし、スイッチングトランジスタ T_2 を逆スタガー構造としていているから、スイッチングトランジスタ T_2 のゲート電極 T_2 が、基板 11 側から入射する光を遮ることになり、したがって別に遮光膜を設けなくても、スイッチングトランジスタ T_2 が光によって誤動作するのを防ぐことができる。さらに、上記実施例の光センサでは、基板 11 側から第 1 図に破線で示すようにに入射する光が、透明ゲート電極 12 を透過するだけでセンサトランジスタ T_1 のチャネル部に入射するから、第 5 図に示した従来の薄膜光センサのように入射光を反射膜で反射させてセンサトランジスタに受光させる場合に比べて光のロスを少なくす

1

ることができ、したがって感度においても優れているし、またセンサトランジスタ₁のチャネル部を通過した光も、ゲート電極_{G₁}で反射されて再びチャネル部に入射するために、第6図に示した従来の薄膜光センサよりもさらに感度を向上させることができる。また、上記薄膜光センサにおいては、キャパシタ用電極_{C_a}をセンサトランジスタ₁のゲート電極_{G₁}と一体の電極とするとともに、センサトランジスタ₁のゲート電極_{G₁}をソース電極_{S₁}に接合接続しているために、従来の薄膜光センサに比べてセンサトランジスタ₁とキャパシタ_C部との間を小さくして光センサの面積を小さくすることができ、したがって、この光センサを配列してイメージセンサを構成する場合は、各光センサの集積度を高くしてイメージセンサの解像度を向上させることができる。

なお、上記実施例では、基板₁₁側から光を入射させる光センサについて説明したが、基板₁₁側とは反対側から光を入射させるようにする場合、センサトランジスタ₁を逆コプラナー構造

2

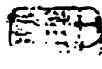
とし、スイッチングトランジスタ₂をスタガー構造とすればよい。さらに、本考案は、センサトランジスタ₁をコプラナー構造（または逆コプラナー構造）とし、スイッチングトランジスタ₂を逆スタガー構造（またはスタガー構造）とするものに限らず、センサトランジスタ₁を逆スタガー構造（またはスタガー構造）とし、スイッチングトランジスタ₂をコプラナー構造（または逆コプラナー構造）とする場合にも適用できるし、また、センサトランジスタ₁とスイッチングトランジスタ₂とを逆スタガー構造またはスタガー構造とする場合にも適用できる。

第4図は、センサトランジスタ₁とスイッチングトランジスタ₂とをそれぞれ逆スタガー構造とした実施例を示したもので、この実施例の薄膜光センサは、基板₁₁面にセンサトランジスタ₁、およびスイッチングトランジスタ₂のゲート電極_{G₁}、_{G₂}を形成し、かつセンサトランジスタ₁のゲート電極_{G₁}を延長させてこの延長部をキャパシタ用電極_{C_a}とするとともに、その



上にゲート絶縁膜 12 と 1-a-Si 半導体層 13 を積層形成し、この半導体層 13 の上に n+a-Si コンタクト層 14 を介して、センサトランジスタ T₁ のソース、ドレイン電極 S₁、D₁ と、スイッチングトランジスタ T₂ のソース、ドレイン電極 S₂、D₂ とを形成したもので、センサトランジスタ T₁ のドレイン電極 D₁ とスイッチングトランジスタ T₂ のソース電極 D₂ とは、この両電極 D₁、S₂ と一体の接続電極 15 を介して接続されており、この接続電極 15 はゲート絶縁膜 12 および半導体層 13 を介して前記キャパシタ用電極 C_a と対向してこの間にキャパシタ C を構成している。また、センサトランジスタ T₁ のソース電極 S₁ は、ゲート絶縁膜 12 と半導体層 13 に設けたコンタクト孔 18 においてセンサトランジスタ T₁ のゲート電極 G₁ と接合されている。なお、16 は透明絶縁膜、19 はスイッチングトランジスタ T₂ のチャネル部に対向させて形成された遮光膜である。

この実施例の薄膜光センサにおいても、キャパ



シタ用電極 C_a をセンサトランジスタ T₁ のゲート電極 G₁ と一体の電極とするとともに、センサトランジスタ T₁ のゲート電極 G₁ とソース電極 S₁ とを接合しているから、キャパシタ C の一方の端子とセンサトランジスタ T₁ のゲート電極 G₁ およびソース電極 S₁ の端子を 1 つの端子に共通接続することができ、したがって端子数は 3 つですむ。

(考案の効果)

本考案の薄膜光センサは、キャパシタ用電極をセンサ用薄膜トランジスタのゲート電極と一体の電極とするとともにセンサ用薄膜トランジスタのゲート電極とソース電極とを接合することによって、キャパシタの一方の端子とセンサ用薄膜トランジスタのゲート電極およびソース電極の端子を 1 つに共通接続したものであるから、光センサの端子数を、上記端子と、スイッチング用薄膜トランジスタのゲート電極およびドレイン電極の各端子との 3 つだけにすることができ、したがって本考案の薄膜光センサによれば、端子数を少なくし

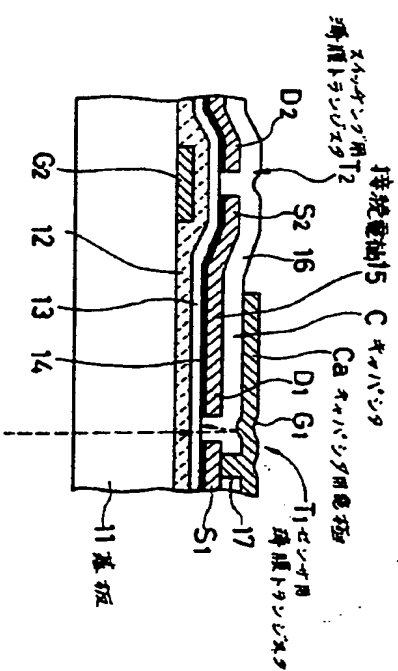
て駆動を容易にすることができると。

4. 図面の簡単な説明

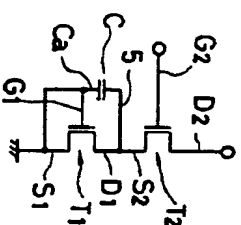
第1図および第2図は本考案の一実施例を示す薄膜光センサの断面図およびその等価回路図、第3図は本考案の薄膜光センサを用いたイメーজেンサの回路図、第4図¹⁴本考案の他の実施例を示す薄膜光センサの断面図、第5図および第6図はそれぞれ従来の薄膜光センサの断面図、第7図は従来の薄膜光センサの等価回路図である。

11…基板、T₁…セシサ用薄膜トランジスタ、
G₁…ゲート電極、S₁…ソース電極、D₁…ド
レイン電極、T₂…セシサ用薄膜トランジスタ、
G₂…ゲート電極、S₂…ソース電極、D₂…ド
レイン電極、12…ゲート絶縁膜、13…半導体
層、14…コンタクト層、15…接続電極、C_a
…キャパシタ用電極、C…キャパシタ、16…通
明絶縁膜。

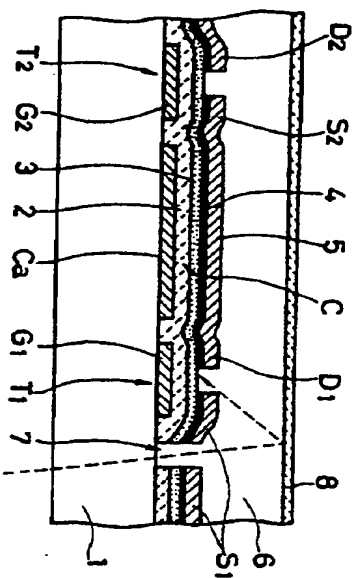
出願人代理人 弁理士 鈴江武彦



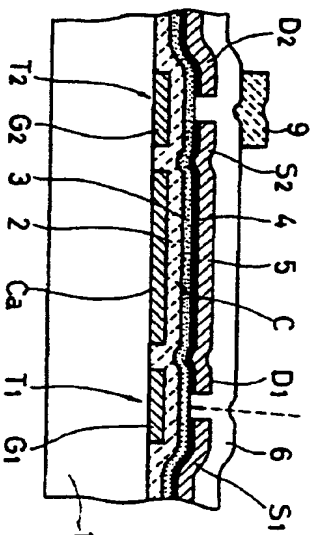
第一區



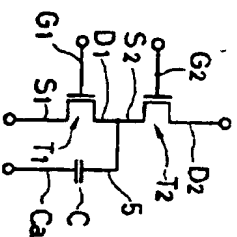
第2回



第 5 図



第 6 図



第 7 図

5335
実開 2-8055

出 願 人 カシオ計算機株式会社
代 理 人 鈴 江 武 彦